

# روش کنترل ولتاژ خروجی برای جبران سازی باس غیر ایده آل در اینورترهای منبع

## ولتاژ

تهیه و تنظیم:

رضا محمدی [Email: reza\\_rmch@yahoo.com](mailto:reza_rmch@yahoo.com)

### (۱) چکیده:

مینیمم سازی هارمونیک خروجی در مدولاسیون عرض پالس بر اساس این فرض می باشد که ورودی ولتاژ باس، بدون ریپل باشد. با وجود این در سیستم مبدل عملی، وجود یک باس dc غیر ایده آل کیفیت ولتاژ خروجی اینورتر را با بروز یک هارمونی ناخواسته مرتبه پایین خراب می کند که ممکن است قابل فیلتر کردن هم نباشد. در روشهای جبران سازی موجود معمولاً مدارات اضافی و پیچیده ای برای از بین بردن اثر این ریپل روی ولتاژ خروجی به کار می برند. این مقاله یک الگوی تولیدی  $PWM$  ارائه می کند که برای شمارش ریپل باس  $DC$  به کار گرفته می شود و سیگنالهایی را تولید می کند که برای تولید ولتاژ خروجی سینوسی با کیفیت بالا لازم می باشد.

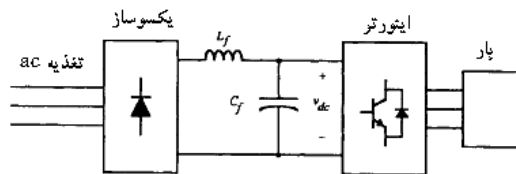
این روش بر اساس یکپارچه سازی ولتاژ خروجی در یک فرکانس ثابت برای اطمینان از توزیع سینوسی ولتاژ بر ثانیه بدون توجه به باس ورودی می باشد. اصول کار توضیح داده شده و معادلات طراحی بدست آمده اعتبار روشن گفته شده را مشخص کرده است. مخصوصاً مقایسه شکل موج ولتاژ خروجی با روشهای سینوسی استاندارد مؤثر بودن مکانیسم حذف ریپل را نشان می دهد. نتایج آزمایش بدست آمده روی یک نمونه

آزمایشگاهی عملی بودن و اعتبار روش ارائه شده را تأیید می کند.

کلمات کلیدی: اعوجاج هارمونیک، اینورترها، مدولاسیون عرض پالس.

### (۲) مقدمه:

اینورترهای منبع ولتاژ ( $VSI$ ) در تنوع گسترده ای از کاربردهای صنعتی مانند منابع توان بدون وقفه ( $UPS$ )، تغییر دهنده فرکانس استاتیک و محرکهای سرعت متغیر مورد استفاده قرار می گیرد. این بواسطه قابلیت آنها در کنترل خطی و پیوسته فرکانس و مؤلفه های اصلی ولتاژ خروجی می باشد به علاوه با یک الگوی بهینه اندازه فیلترهای خروجی مورد نیاز برای کاهش هارمونیکهای ناخواسته کاهش می یابد. در سالهای اخیر روش مدولاسیون عددی عرض پالس گسترش یافته تا عملکرد  $VSI$  را بهبود بخشد.

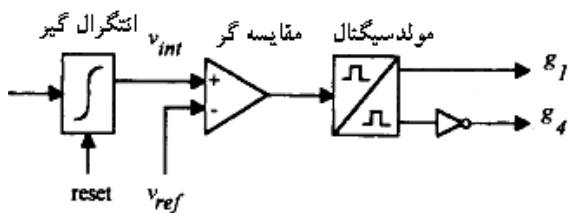


شکل ۱: مبدل dc به ac

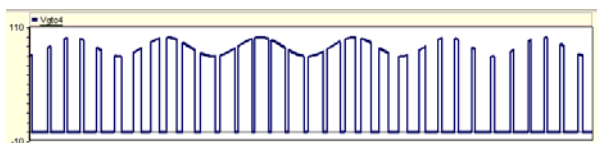
بطور کلی روشهای  $PWM$  بر اساس این فرض می باشند که باس ( $DC$ ) ایده آل بوده و از فیلتر پسیو بدست آمده است (شکل ۱) کم کردن ریپل نیاز به فیلترهای بزرگ دارد که قیمت اندازه

در مرجع [1] یک روش فیدفوروارد که در آن تابع مدولاسیون تغییر می‌یابد تا ریبیل را از بین ببرد روی روش الگوریتم بهینه PWM پیاده شده است. انجام این روش نیاز به کنترلی پیچیده دارد. به عبارت دیگر روشهای ارائه شده در مراجع [9] و [10] نیاز به محاسبات همزمان دارد و فقط برای سیستمهایی که بر اساس میکروپروسور باشد مناسب هستند.

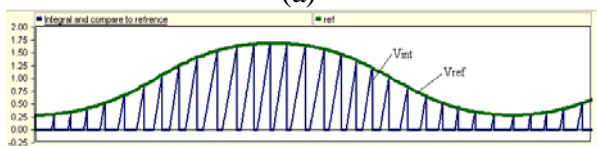
این مقاله یک مولد ساده PWM که بر اساس کنترل مرحله به مرحله ولتاژ خروجی می‌باشد ارائه می‌کند. الگوی سوئیچینگ یک توزیع ولتاژ سینوسی در خروجی را بدون توجه به باس ورودی تضمین می‌کند. بنابراین یک شکل موج خروجی با کیفیت بالا خواهیم داشت.



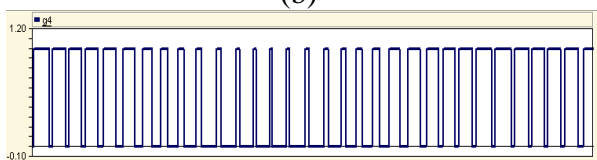
شکل ۲: مولد پالس ارائه شده برای تمام پل



(a)



(b)



(c)

شکل ۳: (a) ولتاژ گذرنده از سویچ پایین (b) خروجی انتگرالگیر (c)

الگوی پالس دهی به سویچ پایین

و وزن را افزایش داده و بطور کلی بازدهی مبدل را کاهش می‌دهد.

بعلاوه در یک سیستم مبدل عملی در نظر گرفتن یک باس ایده‌ال به خاطر یک تعداد از محدودیتهای عملی مشکل می‌باشد. بسیاری از مبدلهای DC نیاز به یک پل برای یکسوسازی DC دارند. در نتیجه هارمونیکهای مرتبه  $6nf_i$  (که  $f_i$  فرکانس تغذیه AC می‌باشد) به داخل باس DC تزریق می‌گردد. بعلاوه یک عدم تعادل در تغذیه ورودی AC هارمونیکهای اضافی از مرتبه  $2nf_i$  را باعث می‌گردد. در نهایت، عدم تعادل و غیر خطی بودن بار اینورتر اعوجاج شکل موج ایجاد می‌کند که باعث ظاهر شدن هارمونیکهای غیر مشخص در باس DC می‌شود. در عمل طراحی فیلتری که بتواند تمام هارمونیکهای گفته شده در بالا را فیلتر کند مشکل می‌باشد.

نوسان با دامنه فرکانسی  $f_r$  در باس DC نامطلوب می‌باشد بطوریکه موجب ظاهر شدن هارمونیکهای مرتبه پایین  $f_r + f_0$  یا  $f_r - f_0$  در خروجی اینورتری که  $f_0$  فرکانس مؤلفه اصلی اینورتر (جدول ۱-۲) می‌باشد می‌شود. فیلتر کردن این هارمونیکها باعث تخریب کیفیت ولتاژ خروجی می‌گردند مشکل می‌باشد. در این مقاله راه حلی برای جبران سازی باس غیر ایده‌ال ارائه گردیده است.

جدول ۱-۲: اثر نوسان باس dc روی ولتاژ خروجی

هارمونیک‌های مرتبه پایین در اینورتر		فرکانس ریپل موج DC	فرکانس خروجی اینورتر
$f_r + f_0$	$f_r - f_0$	$f_r$	$f_0$
۱۵۰	۵۰	۱۰۰	۵۰
۳۵۰	۲۵۰	۳۰۰	۵۰

فرمول ۱:

$$\begin{cases} V_{AN} = V_{DC} & \text{وقتی که سوئیچ بالا روشن است;} \\ V_{AN} = 0 & \text{وقتی که سوئیچ پایین روشن است;} \end{cases}$$

شیب انتگرال‌گیری متناسب با مقدار لحظه‌ای ولتاژ باس  $DC$  می‌باشد. وقتی که ولتاژ باس  $DC$  بالاتر می‌رود انتگرال‌گیری سریع‌تر می‌شود و بنابراین مقدار انتگرال سریعتر به مقدار مرجع می‌رسد و عرض پالس باریکتری تولید می‌کند و از طرف دیگر وقتی که ولتاژ باس کمتر می‌گردد، پالس عریض‌تری تولید می‌شود. الگوی  $PWM$  تولید شده با این انتگرال‌گیری همزمان تابعی از باس غیر ایده‌ال می‌باشد. بنابراین مدولاتور ارائه شده می‌تواند نوسان باس را جبران کند. این کارکرد  $VSI$  را بدون نیاز به مدارات کنترلی پیچیده بهبودی بخشد.

روش کنترل انتگرالی ارائه شده با مدارات آنالوگ به راحتی قابل انجام است. در پیاده‌سازی دیجیتال از آنجا که خروجی انتگرال‌گیر در فرکانس سوئیچینگ تغییر می‌کند، یک سرعت نمونه برداری سریع نیاز دارد تا دقت عمل تأمین شود.

#### عملکرد سه فاز

روش  $PWM$  ارائه شده در این مقاله برای سه فاز نیز اجرا شده که در شکل ۴ نشان داده شده است.

این مدار شامل سه مدولاتور مستقل که روی سوئیچ پایین هر پایه اینور قرار داده شده است و مرجع کنترل هر کدام  $120^\circ$  شیفت فاز نسبت به دیگری دارد.

نمونه‌های شکل موج بدست آمده از این روش سه فاز در شکل ۵ نشان داده شده است.

یک روش مشابه در مرجع [11] برای مبدل  $DC$  به  $DC$  کاهشی شرح داده شده است که خصوصیات حذف هارمونیک خوبی دارد [12]. در این مقاله اعتبار روش ارائه شده پررنگ‌تر شده و نتایج آن با خروجی  $PWM$  سینوسی استاندارد مقایسه شده است. شبیه‌سازی و نتایج آزمایشی روی سه فاز عملی بودن و مؤثر بودن این روش را تحت شرایط تعادل و عدم تعادل تأیید می‌کند.

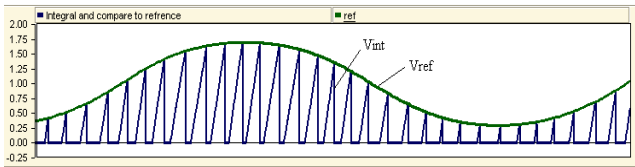
#### ۳ ساختار مولد پالس ارائه شده

##### کارکرد تک فاز

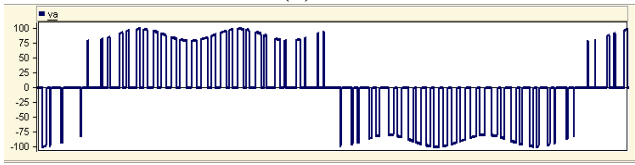
مولد الگوی  $SPWM$  استاندارد یک ساختار حلقه باز دارد که در آن الگوی کلید زنی با مقایسه سیگنال مدوله کننده سینوسی با یک سیگنال حامل ثابت بدست می‌آید. شاخص مدولاسیون با تغییر دامنه سیگنال مدولاسیون تنظیم می‌شود. مولد الگوی سوئیچینگ ارائه شده (شکل ۲۳) دارای یک ساختار حلقه بسته بر اساس نمونه‌گیری آنی از مقدار ولتاژ گذرنده از کلید پایین می‌باشد. این ولتاژ شامل اطلاعات مربوط به نوسان ولتاژ باس  $DC$  می‌باشد. پس با کنترل کردن ولتاژ گذرنده از سوئیچ پایین می‌توانیم خروجی روی هر فاز را تنظیم کرده و اثر نوسان باس  $DC$  را خنثی کنیم. شکل موج در شکل ۲۳ عملکرد سیستم در شکل ۲۳ را نشان می‌دهد. ولتاژ سوئیچ پایین یک انتگرال گیر قابل ریسیت را تغذیه می‌کند. خروجی به یک مقدار مطلوب می‌رسد و سوئیچ  $Q_1$  قطع می‌گردد. در همان زمان خروجی انتگرال‌گیر صفر می‌گردد. خروجی انتگرال‌گیر تا پایان یک دوره تناوب سوئیچینگ در صفر می‌ماند.

##### جبران‌سازی تغییرات باس

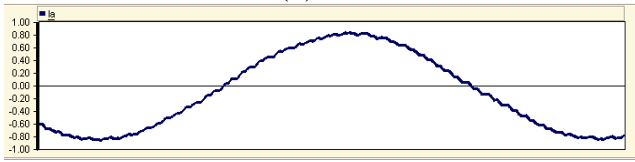
ولتاژ گذرنده از سوئیچ پایین در پل دیودی شکل ۲۳ بصورت زیر تعیین می‌گردد:



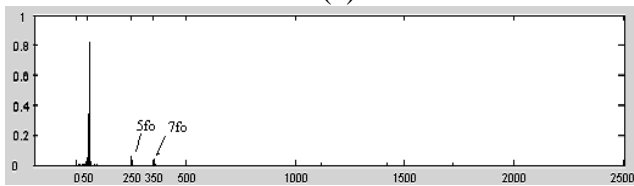
(a)



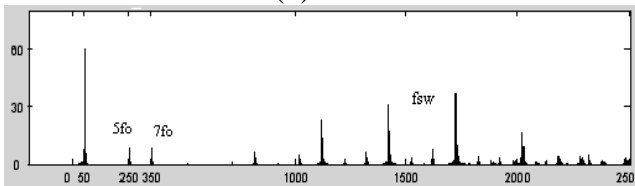
(b)



(c)



(d)



(e)

شکل ۵: (a) شکل موج خروجی انتگرالگیر (b) ولتاژ خط به

خط (c) جریان خط (d) طیف فرکانسی ولتاژ خط (e) طیف فرکانسی

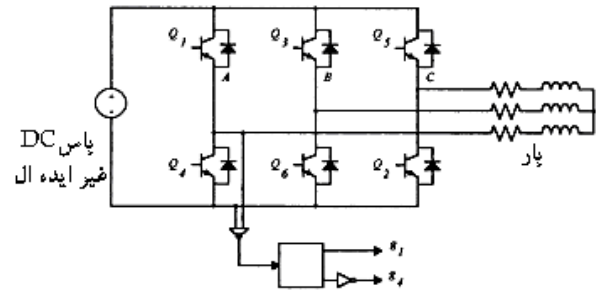
$$\text{جریان خط } M = 0.7, f_{sw} = 33, f_r = 6, k_r = 0.1$$

ثابت زمانی انتگرالگیری طوری باید انتخاب شود که خروجی انتگرالگیر همیشه به سیگنال مرجع برسد. اگر ثابت زمانی خیلی بزرگ انتخاب شود خروجی انتگرالگیر به سیگنال مرجع نمی‌رسد و عملکرد مدار خراب می‌شود. بزرگترین انتگرالگیری وقتی اتفاق می‌افتد که ولتاژ در ماکزیمم مقدار خود باشد به عبارت دیگر  $V_{ref} = V_{in} + V_{bias}$ . بنابراین شرایط لازم برای انتخاب

ثابت زمانی بصورت زیر می‌باشد:

فرمول ۵:

$$\frac{k_s V_{DC} T_{sw}}{\tau} > V_m + V_{bias}$$



شکل ۴: مولد پالس ارائه شده برای سه فاز

## ۴ طراحی

### معادلات طراحی

به این ترتیب طراحی یک باس DC بدون نوسان انجام شده است. اثر نوسان باس DC در بخش بعدی آمده است. عنصر کلیدی در کنترل ارائه شده انتگرالگیر با ثابت زمانی می‌باشد. از آنجائیکه ولتاژ سوئیچ پایین فقط مؤلفه DC دارد یک ولتاژ مرجع شامل سینوسی و DC بصورت زیر نیاز داریم:

فرمول ۲:

$$V_{ref} = V_{bias} + V_m \sin(2\pi f_0 t)$$

بطوریکه  $f_0$  فرکانس خروجی اصلی اینوتر می‌باشد شاخص مدولاسیون  $M$  بصورت روبرو تعریف می‌گردد:

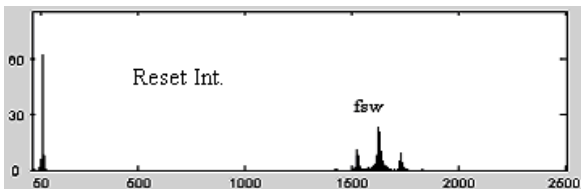
فرمول ۳:

$$M = \frac{V_m}{V_{bias}}$$

اگر  $f_{sw}$  را فرکانس سوئیچینگ و  $k_s$  را دامنه ولتاژ سنسور در نظر بگیریم خروجی آنی انتگرالگیر بصورت زیر خواهد بود:

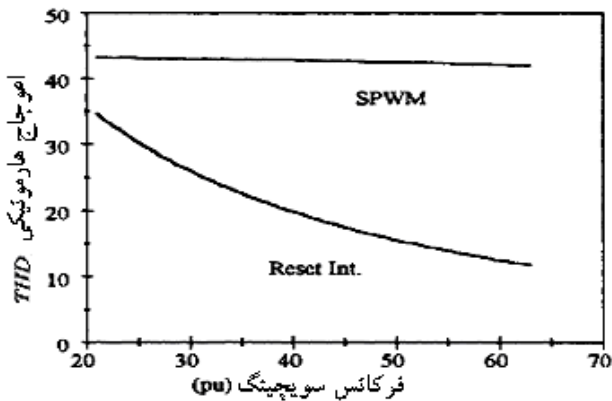
فرمول ۴:

$$V_{in} = \frac{k_s V_{DC}}{\tau} t$$



شکل ۷: طیف هارمونیک ولتاژ خروجی برای باس DC ایده‌ال

$$M = 0.7, f_{sw} = 33 \text{ p.u.}$$



شکل ۸: THD ولتاژ برحسب فرکانس سوئیچینگ برای هر دو روش

$$M = 0.7, f_r = 6 \text{ p.u.}, k_r = 0.1$$

### ۵) تحلیل عملکرد

عملکرد روش ارائه شده در شرایط باس DC ایده‌ال و غیر ایده‌ال بررسی شده و نتایج با خروجی استاندارد مقایسه شده است.

#### باس dc ایده‌آل

در این بخش باس ورودی بدون نوسان فرض می‌شود. ولتاژ خروجی اصلی برای شاخصهای مدولاسیون بدست آمده است. شکل ۶ نمودار ولتاژ rms خط به خط را بر حسب شاخص مدولاسیون برای روش SPWM و روش ارائه شده در این مقاله را نشان می‌دهد. شکل نشان می‌دهد که دامنه در روش ارائه شده و روش SPWM یکسان است. بنابراین در حالت بدون نوسان باس DC هر دو روش نتایج یکسانی را می‌دهند. شکل ۷ طیف فرکانس ولتاژ خط را برای هر دو روش نشان می‌دهد همچنین شکل ۸ نشان می‌دهد که روش ارائه شده نسبت به

اگر معادله بالا را بازنویسی کنیم و  $M = 1$

یا  $V_{in} = V_{bias}$  قرار دهیم خواهیم داشت:

فرمول ۶:

$$\tau < \frac{k_s V_{DC} T_{sw}}{2V_{bias}}$$

### مثال طراحی

طراحی بدست آمده در قسمت قبل

بصورت زیر برای سه فاز به کار برده می‌شود:

(a) ولتاژ باس ورودی  $V_{DC} = 70 \text{ V}$ .

(b) فرکانس خروجی اینورتر  $f_i = 50 \text{ Hz}$ .

(c) فرکانس سوئیچینگ اینورتر

$$f_{sw} = 33 \text{ p.u.}$$

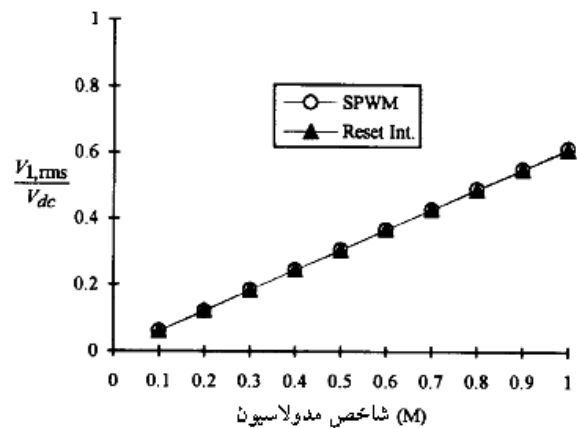
(d) دامنه سنسور ولتاژ  $k_s = 0.06$ .

(e) ولتاژ DC در مرجع ولتاژ  $V_{bias} = 2 \text{ V}$ .

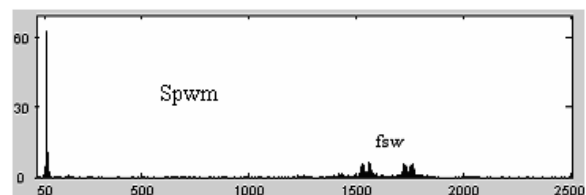
مطابق با [6] ثابت زمانی باید کوچکتر

از  $530.3 \mu\text{s}$  انتخاب شود در اینجا ثابت زمانی  $530 \mu\text{s}$

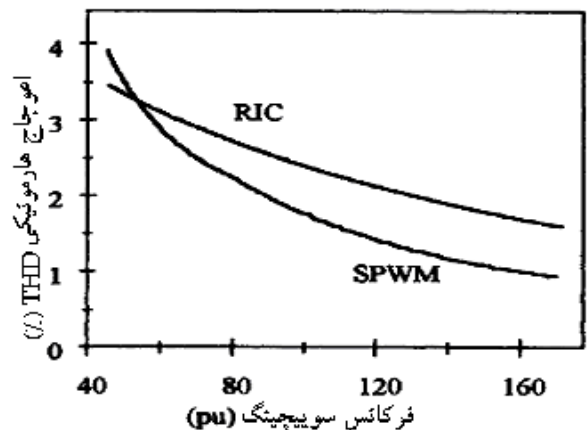
انتخاب شده است.



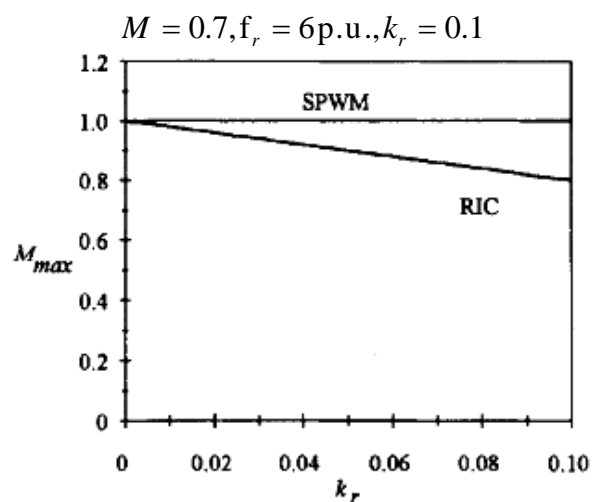
شکل ۶: مقایسه مشخصه تبدیل برای روش ارائه شده و روش SPWM



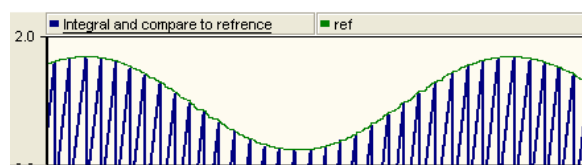
روش  $SPWM$  هارمونیکهای کلید زنی بیشتری تولید می کند.



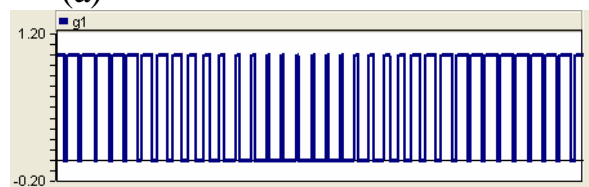
شکل ۴:  $THD$  جریان بر حسب فرکانس سوئیچینگ برای هر دو روش



شکل ۱۰: شاخص مدولاسیون ماکزیمم  $M_{max}$  بر حسب ضریب نوسان باس  $DC$  ورودی  $M = 0.7, f_r = 6 \text{ p.u.}, k_r = 0.1$



(a)



(b)

شکل ۱۱: (a) خروجی اینترالگیر (b) سیگنال سوئیچینگ

اینورتر می باشد. فرض کنید، نوسان ولتاژ دارای فرکانس غالب  $f_r$  و دامنه  $k_r V_{DC}$  می باشد که  $k_r$  ضریب نوسان باس  $DC$  و  $V_{DC}$  میانگین ولتاژ باس می باشد. ولتاژ باس  $DC$  بصورت زیر می تواند بیان شود:

فرمول ۷:

$$V_d = V_{DC} + k_r V_{DC} \sin(2\pi f_r t)$$

حذف هارمونیک

قابلیت کاهش هارمونیک بوسیله اعوجاج

هارمونیکی ولتاژ خروجی اندازه گرفته می شود که:

فرمول ۸:

$$THD_{iv} = \frac{\sqrt{V_{f_r+f_i}^2 + V_{f_r-f_i}^2}}{\sqrt{2}V_{DC}} \cdot 100\%$$

در یک نوسان فرکانس  $f_r$  به اندازه  $6 \text{ p.u.}$  فرکانسهای غالب مرتبه پایین ۵ و ۷ می باشند.  $THD$  تعریف شده در بالا با شاخص مدولاسیون  $0.7$  بدست آمده و بصورت تابعی از فرکانس سوئیچینگ در شکل ۸ رسم شده است همچنین اعوجاج جریان در شکل ۹ رسم شده است. نمودار شکل ۸ به طور واضح نشان می دهد که روش ارائه شده بطور مؤثری هارمونیکهای مرتبه پایین را در ولتاژ خروجی اینورتر کاهش می دهد بطوریکه در تمامی فرکانسها روش ارائه شده دارای دامنه هارمونیکی کمتری است.

برای مثال در فرکانس سوئیچینگ  $33 \text{ p.u.}$  اعوجاج ولتاژ برای روش ارائه شده نصف روش  $SPWM$  می باشد و در فرکانس سوئیچینگ  $66 \text{ p.u.}$  اعوجاج ولتاژ فقط یک سوم روش  $SPWM$  می باشد. همانطور که در شکل ۹ نشان داده می شود. چون روش ارائه شده هارمونیکهای سوئیچینگ بالاتری نسبت به  $SPWM$  تولید می کند.  $THD$  جریان آن نیز در

باس  $dc$  غیر ایده آل

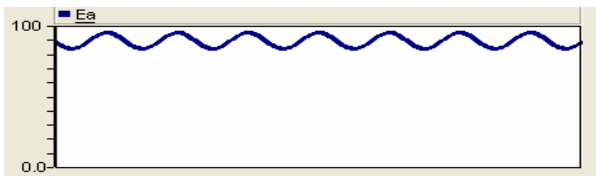
اصول مقایسه در یک باس  $DC$  غیر ایده آل

توانایی حذف هارمونیک و دامنه ولتاژ خروجی

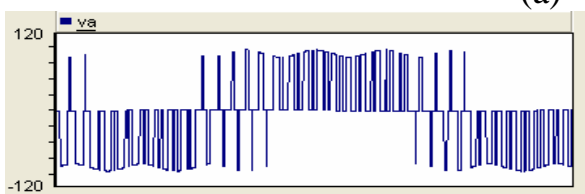
انتگرالگیر وقتی که به مقدار مرجع می‌رسد صفر می‌گردد.

فرمول ۱۱-b سیگنال گیت را برای یکی از سوئیچها نشان می‌دهد. شکل ۱۲-۲ a-ولتاژ dc با یک هارمونیک غالب را نشان می‌دهد. این هارمونیکها در یکسوسازهای پل دیودی تولید می‌شوند. شکل ۱۲-۲ b-c وولتاژ و جریان خروجی اینورتر را نشان می‌دهند. در شکل ۱۳-طیف فرکانسی مربوط نشان داده شده است. در شکل ۱۳۳-a هارمونیک غالب در 6 p.u. و شکل ۱۳۳-b هارمونیکها را در 5 و 7 نشان می‌دهد. برای مطالعه عملکرد اینورتر تحت شرایط غیر فعال یکی از خطوط تغذیه کننده پل دیودی باز شده است.

شکل ۱۴-۴ a-ولتاژ آزمایشی را نشان می‌دهد و شکل ۱۵-۵ a-طیف فرکانسی مربوط با هارمونیک غالب در 2 p.u. را نشان می‌دهد. شکل ۱۴۴-b وولتاژ خط به خط اینورتر و شکل ۱۵-۵ b طیف فرکانسی مربوط به آن را نشان می‌دهد. این نتایج نشان می‌دهد که هارمونیکهای فرکانس پایین کم شده‌اند. جریان خط و طیف آن نیز در شکل ۱۴-۴ c و شکل ۱۵-۵ c نشان داده شده است.



(a)



(b)

منطقه فرکانس پایین بالاتر می‌باشد (زیر 55 p.u. یا 3300 Hz) با وجود این همینکه فرکانس سوئیچینگ افزایش می‌یابد اثر هارمونیکهای کلید زنی نسبت به کل کم می‌شود.

دامنه ولتاژ اینورتر

همانطور که در فرمول ۶ دیده می‌شود ثابت زمانی روش انتگرالی برای باس DC بدون نوسان طراحی شده است. با وجود نوسان در باس انتگرالگیر نمی‌تواند در یک پریود سوئیچینگ تا مقدار مرجع کنترل ماکزیمم انتگرال بگیرد. وقتی که این اتفاق بیفتد اینورتر با عرض پالس ماکزیمم کار می‌کند و هارمونیکها مرتبه پایین بوجود می‌آیند بنابراین شاخص مدولاسیون باید به نسبت نوسان ورودی کاهش یابد که باعث می‌شود که دامنه ولتاژ کاهش یابد. دامنه ولتاژ از مطالعه شبیه‌سازی بصورت زیر بدست می‌آید:

فرمول ۹:

$$K_{AC} = (1 - 2k_r) K_{AC,ideal}$$

بطوریکه:

فرمول ۱۰:

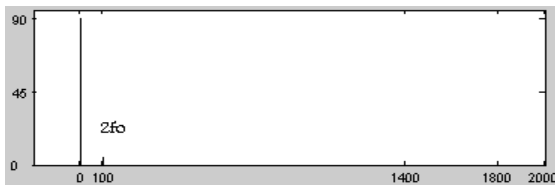
$$K_{AC,ideal} = \frac{V_{l,rms}}{V_{DC}} = 0.612 \quad (M = 10)$$

به عبارت دیگر با نوسان باس شاخص مدولاسیون که اینورتر می‌تواند کار کند بارابطه زیر داده می‌شود:

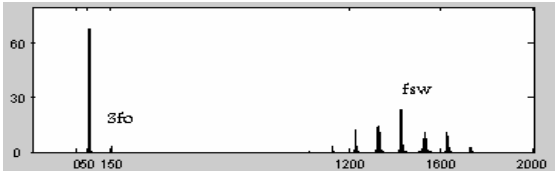
$$M_{max} = 1 - 2k_r \quad \text{فرمول ۱۱:}$$

(۶) نتایج آزمایش

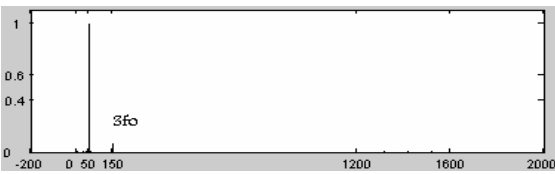
به منظور بررسی مفاهیم و نتایج شبیه‌سازی یک اینورتر سه فاز آزمایشی در آزمایشگاه راه‌اندازی شده است. پل دیودی از منبع غیر متعادل سه‌فاز تغذیه می‌شود. شکل ۱۱-a مرجع کنترل سینوسی و خروجی انتگرالگیر را نشان می‌دهد. خروجی



(a)

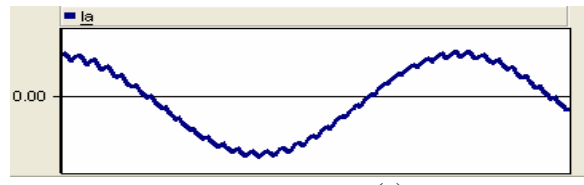


(b)



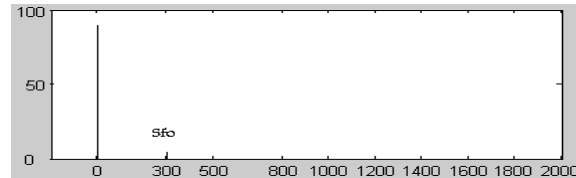
(c)

شکل ۲: نتایج آزمایش (a) ولتاژ DC ورودی (b) ولتاژ خط خروجی اینورتر (c) جریان خط

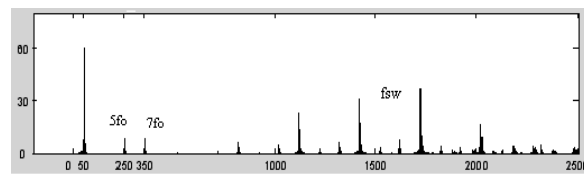


(a)

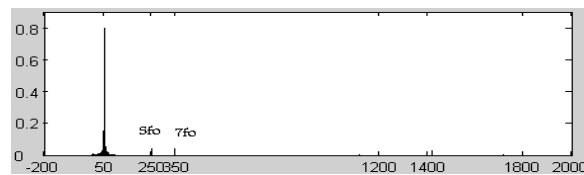
شکل ۳: نتایج آزمایش (a) ولتاژ DC ورودی (b) ولتاژ خط به خط خروجی اینورتر (c) جریان خط.  $M = 0.7, f_{sw} = 33 \text{ p.u.}$



(b)



(c)



(d)

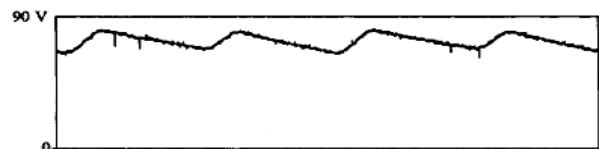
شکل ۴: طیف فرکانسی آزمایش شده (a) ولتاژ DC ورودی (b) ولتاژ خط به خط خروجی اینورتر (c) جریان خط

### نتیجه گیری

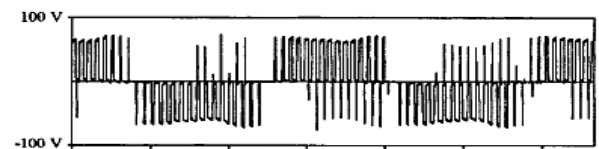
در این مقاله یک تولید کننده الگوی سوئیچینگ که اثر نوسان ورودی باس dc را روی عملکرد کاهش می دهد ارائه شده است. این روش بر اساس حفظ توزیع سینوسی در خروجی با انتگرالگیری از ولتاژ باس بدون اهمیت دادن به نوسان ولتاژ ورودی می باشد. اجرای این روش بسیار آسان می باشد. نتایج آزمایشی عملی بودن و مؤثر بودن این روش را تأیید می کنند.

### مراجع:

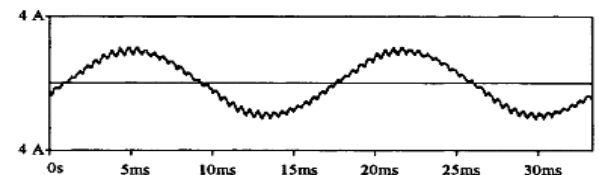
1. J.Holtz, "Pulse width modulation-A survey, "IEEE Trans. Ind. Electron., vol. 39, pp. 410-420, Dec.1992.
2. M.Boost and P.D.Ziogas, "State of the PWM techniques: A critical evaluation, "in IEEE IAS Conf. Rec., 1986, pp. 425-433.
3. P. N. Enjeti, P. D. Ziogas, and J. F. Lindsay, "Programmed PWM techniques to eliminate



(a)



(b)



(c)

شکل ۵: شکل موج آزمایش (a) ولتاژ DC ورودی (b) ولتاژ خط به خط خروجی اینورتر (c) جریان خط

8. P. Enjeti and W. Shireen, "A new technique to reject DC link voltage ripple for inverters operating on programmed PWM waveforms," *IEEE Trans. Power Electron.*, vol. 7, pp. 171–180, Jan. 1996.
9. S. Funabiki, "A control strategy of three phase inverter with fluctuating input voltage," in *IEEE IAS Conf. Rec.*, 1989, pp. 1170–1175.
10. J. Y. Lee and Y. Y. Sun, "Adaptive harmonic control in PWM inverter with fluctuating input voltage," *IEEE Trans. Ind. Electron.*, vol. 33, pp. 92–98, Feb. 1996.
11. K. M. Smedley and S. Cuk, "One cycle control of switching converters," in *IEEE PESC Conf. Rec.*, 1991, pp. 888–896.
12. H. Jin, G. Joos, M. Pande, and P. D. Ziogas, "Feedforward techniques using voltage integral duty cycle control," in *IEEE PESC Conf. Rec.*, 1992, pp. 370–377.
- harmonics: A critical evaluation," *IEEE Trans. Ind. Applicat.*, vol. 2, pp. 302–316, Mar./Apr. 1990.
4. H. S. Patel and R. G. Hoft, "Generalized technique of harmonic elimination and voltage control in thyristor inverters: Part I harmonic elimination," *IEEE Trans. Ind. Applicat.*, vol. IA-9, pp. 310–317, May/June 1973.
5. P. D. Ziogas, "The delta modulation techniques in static PWM inverters," *IEEE Trans. Ind. Applicat.*, vol. IA-17, pp. 199–204, Mar./Apr. 1991.
6. J. A. Houldsworth and D. A. Grant, "The use of a harmonic distortion to increase the output voltage of a three-phase PWM inverter," *IEEE Trans. Ind. Applicat.*, vol. IA-20, pp. 1224–1228, Sept./Oct. 1994.
7. S. R. Bowes, "Microprocessor control of PWM inverters," *Proc. Inst. Elect. Eng.*, vol. 128, pt. B, pp. 293–305, Nov. 1981.